

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-019156

(43)Date of publication of application : 23.01.1998

(51)Int.Cl.

F16K 31/06

F16K 31/06

(21)Application number : 08-170420

(71)Applicant : DAIKIN IND LTD

(22)Date of filing : 28.06.1996

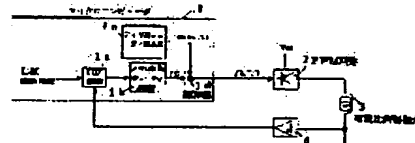
(72)Inventor : SAKAGUCHI YOSHIHIKO
NAGASHIMA KENJI

(54) SOLENOID VALVE DRIVING METHOD AND ITS DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To arbitrarily facilitate the generation and adjustment of dither current by setting a plurality of pulse amplitude modulation cycles to be one cycle of dither current, performing addition and subtraction for off-setting duty per pulse amplitude modulation cycle, and thereby setting pulse amplitude modulation duty.

SOLUTION: PWM pulse signals are given to a PWM circuit 2 by a microcomputer 1 so as to allow the aforesaid circuit 2 to be turned on/off, and pulse amplitude modulated drive voltage is thereby applied to an electromagnetic proportion control valve 3. Energizing current for the electromagnetic proportion control valve 3 is detected by a current detection circuit 4, and the aforesaid energizing current is controlled by means of feed-back operations. In this place, PDI control is executed by a PDI control part 1a inputting both target energizing current and feed-back signals so as to allow a drive current command to be outputted, and duty (pulse amplitude modulation duty) for PWM control is computed (1b) based on the aforesaid command, the aforesaid duty is added (1d) to duty of dither's portion from an output part 1c, so that a PWM pulse signal is thereby generated.



LEGAL STATUS

[Date of request for examination]

30.04.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-19156

(43) 公開日 平成10年(1998) 1月23日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
F 1 6 K 31/06	3 1 0	0380-3K	F 1 6 K 31/06	3 1 0 Z
	3 2 0	0380-3K		3 2 0 A

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21) 出願番号 特願平8-170420

(22) 出願日 平成8年(1996) 6月28日

(71) 出願人 000002853

ダイキン工業株式会社

大阪府大阪市北区中崎西2丁目4番12号

梅田センタービル

(72) 発明者 阪口 仁彦

滋賀県草津市岡本町字大谷1000番地の2

ダイキン工業株式会社滋賀製作所内

(72) 発明者 長島 健二

滋賀県草津市岡本町字大谷1000番地の2

ダイキン工業株式会社滋賀製作所内

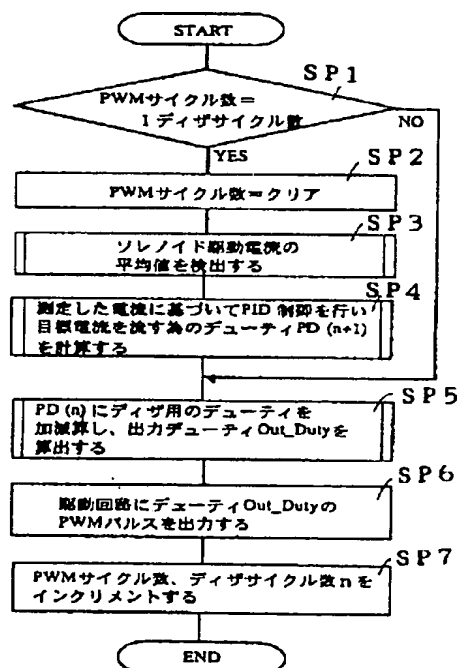
(74) 代理人 弁理士 津川 友士

(54) 【発明の名称】 電磁弁駆動方法およびその装置

(57) 【要約】

【課題】 PWM制御によって電磁弁を駆動する装置において、任意のディザ電流の生成および調節を簡単に達成する。

【解決手段】 電磁弁3と、この電磁弁3の駆動を制御するパルス幅変調回路2とを含む電磁弁駆動装置において、複数のパルス幅変調周期をディザ電流の1周期に設定し、ディザ電流を生成するためのオフセット用のデューティを得、目標とする電磁弁駆動電流を得るためのパルス幅変調デューティをディザ電流周期毎に算出し、複数回のパルス幅変調サイクルで所定のディザ電流波形が得られるように、1パルス幅変調周期毎にパルス幅変調デューティに対してオフセット用のデューティを加減算することによりパルス幅変調回路2に与えるパルス幅変調のデューティを設定する。



【特許請求の範囲】

【請求項1】 電磁弁(3)と、この電磁弁(3)の駆動を制御するパルス幅変調回路(2)とを含む電磁弁駆動装置において、複数のパルス幅変調周期をディザ電流の1周期に設定し、ディザ電流を生成するためのオフセット用のデューティを得、目標とする電磁弁駆動電流を得るためのパルス幅変調デューティをディザ電流周期毎に算出し、複数回のパルス幅変調サイクルで所定のディザ電流波形が得られるように、1パルス幅変調周期毎にパルス幅変調デューティに対してオフセット用のデューティを加減算することによりパルス幅変調回路(2)に与えるパルス幅変調のデューティを設定することを特徴とする電磁弁駆動方法。

【請求項2】 オフセット用のデューティは予め設定した固定値である請求項1に記載の電磁弁駆動方法。

【請求項3】 オフセット用のデューティは目標とする電磁弁駆動電流から算出された値である請求項1に記載の電磁弁駆動方法。

【請求項4】 電磁弁(3)と、この電磁弁(3)の駆動を制御するパルス幅変調回路(2)とを含む電磁弁駆動装置において、複数のパルス幅変調周期をディザ電流の1周期に設定する設定手段と、ディザ電流を生成するためのオフセット用のデューティを出力するオフセット用デューティ出力手段(1c)(1c')と、目標とする電磁弁駆動電流を得るためのパルス幅変調デューティをディザ電流周期毎に算出するパルス幅変調デューティ算出手段(1a)(1b)と、複数回のパルス幅変調サイクルで所定のディザ電流波形が得られるように、1パルス幅変調周期毎にパルス幅変調デューティに対してオフセット用のデューティを加減算することによりパルス幅変調回路(2)に与えるパルス幅変調のデューティを設定するデューティ設定手段(1d)とを含むことを特徴とする電磁弁駆動装置。

【請求項5】 オフセット用デューティ出力手段(1c)は、オフセット用のデューティとして予め設定した固定値を出力するものである請求項4に記載の電磁弁駆動装置。

【請求項6】 オフセット用デューティ出力手段(1c')は、オフセット用のデューティとして目標とする電磁弁駆動電流から算出された値を出力するものである請求項4に記載の電磁弁駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は電磁弁駆動方法およびその装置に関し、さらに詳細に言えば、パルス幅変調回路を用いて種々の電磁弁を駆動する電磁弁駆動方法およびその装置に関する。

【0002】

【従来の技術】電磁弁の駆動方式として種々の方式が知られているが、電流増幅部の構成の簡素化、消費電流の

低減などを達成できるという利点に着目してパルス幅変調(以下、PWMと略称する)回路を用いる方式が一般的に採用されている。このPWM回路を用いて、電磁弁の一種である電磁比例制御弁を駆動する電磁弁駆動装置の一例を図1に示す。

【0003】図1において、マイクロコンピュータ101によってPWM回路102にパルス状の制御信号を供給してPWM回路102をON-OFFさせ、PWM回路102によりパルス幅変調された駆動電流を電磁比例制御弁103に供給する。そして、電磁比例制御弁103の通電電流を電流検出回路104により検出してマイクロコンピュータ101にフィードバックし、電磁比例制御弁103の通電電流が目標値になるように制御する。

【0004】一方、電磁比例制御弁の駆動電流に対する制御流量は、図2に示すように、駆動電流の増加時と減少時とで互いに異なる、いわゆるヒステリシス特性を有しているので、正確な流量制御を行う場合に支障をきたすことがある。ここで、ヒステリシス特性を持つ要因としては、材料のヒステリシスと、スプールの静摩擦の影響に起因するヒステリシスとがある。そして、材料のヒステリシスに対しては、材質の選択により対処することが一般的である。スプールの静摩擦の影響に起因するヒステリシスに対しては、流量を制御する本来の駆動電流に対して所定の交流電流(ディザ電流)を重ねし、スプールを常に微振動させておくことによってスプールの静摩擦に起因するヒステリシス特性を改善することが一般的に行われている。

【0005】また、流量を制御する本来の駆動電流に対して重ねられるディザ電流を生成する方式として、以下の3つの方式が提案されている。

(1) PWM周期をディザ電流周期とする方式

電磁比例制御弁をPWM制御方式で駆動した場合、駆動電流は電磁比例制御弁のソレノイドの特性(インダクタンス成分、抵抗成分)によって図3に示すように、PWM周期中において指数関数的に増減し、ディザ電流を重ねした場合と同等の効果を達成することができる。

【0006】そして、この方式を採用した場合には、ディザ電流を生成するための処理、電気回路を特別に設ける必要がないので、全体として構成を簡素化することができる。

(2) PWM周期を変更する方式(特開昭62-165083号公報参照)

電磁比例制御弁の駆動電流の大きさに応じてPWM周期を変更して必要なディザ電流振幅を確保することができる。

【0007】したがって、駆動電流の全範囲においてディザ電流の振幅を任意に設定することができる。

(3) 駆動電流の直流分にディザ電流をアナログ加算する方式

この方式は、図5に示すように、マイクロコンピュータ201から出力されるパルス状の制御信号を積分回路202により積分し、ディザ電流波形生成回路203から出力されるディザ電流波形と積分回路202から出力される積分信号とを加算器204によりアナログ的に加算する。そして、加算器204からの出力信号を比較回路205に供給して所定の基準信号（例えば、ディザ電流波形よりも周波数が高い三角波信号）との大小を比較し、比較回路205から出力される比較結果信号をPWM回路206に供給してPWM回路206をON-OFFさせ、PWM回路206によりパルス幅変調された駆動電流を電磁弁比例制御弁207に供給する。そして、電磁弁比例制御弁207の通電電流を電流検出回路208により検出してマイクロコンピュータ201にフィードバックし、電磁弁比例制御弁207の通電電流が目標値になるように制御する。

【0008】したがって、この方式を採用した場合には、ディザ電流波形を任意に設定することができる。

【0009】

【発明が解決しようとする課題】前記(1)の方式を採用した場合には、ディザ電流波形がソレノイドの特性に左右されるのであるから、最適なディザ電流波形が得られる保証が全くないという不都合がある。また、ディザ電流の振幅はPWM制御のデューティ（パルス幅変調デューティ）、すなわち目標駆動電流によっても変動するので（図4中（A）～（F）参照）、駆動電流が小さい領域ではPWM制御のデューティが低デューティになり（図4中（E）参照）、駆動電流が大きい領域ではPWM制御のデューティが高デューティになり（図4中（C）参照）、何れの領域においても、図4中（D）（F）に示すように、ディザ電流の振幅が小さくなってしまふ。そして、ディザ電流の振幅が小さい場合には、ヒステリシス特性を余り改善することができなくなってしまう。逆に、ディザ電流の振幅が大きい場合には、電磁弁比例制御弁や配管にうなりを生じてしまう可能性がある。

【0010】前記(2)の方式を採用した場合には、ディザ電流の振幅を任意に設定できるので、(1)の方式の不都合を解消させることができるが、ディザ電流の周波数、振幅の双方をそれぞれ任意に設定することは到底不可能である。前記(3)の方式を採用した場合には、ディザ電流の波形を任意に設定することができるので、(2)の方式の不都合を解消させることができるが、図5から明らかなように、全体としての構成が複雑化するとともに、ディザ電流波形の調節を行う場合には、回路定数の変更が必要であり、しかも回路定数の変更のための処理が著しく煩雑である。

【0011】

【発明の目的】この発明は上記の問題点を鑑みてなされたものであり、PWM制御によって電磁弁を駆動する装

置において、任意のディザ電流の生成および調節を簡単に達成することができる電磁弁駆動方法およびその装置を提供することを目的としている。

【0012】

【課題を解決するための手段】請求項1の電磁弁駆動方法は、電磁弁と、この電磁弁の駆動を制御するパルス幅変調回路とを含む電磁弁駆動装置において、複数のパルス幅変調周期をディザ電流の1周期に設定し、ディザ電流を生成するためのオフセット用のデューティを得、目標とする電磁弁駆動電流を得るためのパルス幅変調デューティをディザ電流周期毎に算出し、複数回のパルス幅変調サイクルで所定のディザ電流波形が得られるように、1パルス幅変調周期毎にパルス幅変調デューティに対してオフセット用のデューティを加減算することによりパルス幅変調回路に与えるパルス幅変調のデューティを設定する方法である。

【0013】請求項2の電磁弁駆動方法は、オフセット用のデューティとして予め設定した固定値を採用する方法である。請求項3の電磁弁駆動方法は、オフセット用のデューティとして目標とする電磁弁駆動電流から算出された値を採用する方法である。請求項4の電磁弁駆動装置は、電磁弁と、この電磁弁の駆動を制御するパルス幅変調回路とを含む電磁弁駆動装置において、複数のパルス幅変調周期をディザ電流の1周期に設定する設定手段と、ディザ電流を生成するためのオフセット用のデューティを出力するオフセット用デューティ出力手段と、目標とする電磁弁駆動電流を得るためのパルス幅変調デューティをディザ電流周期毎に算出するパルス幅変調デューティ算出手段と、複数回のパルス幅変調サイクルで所定のディザ電流波形が得られるように、1パルス幅変調周期毎にパルス幅変調デューティに対してオフセット用のデューティを加減算することによりパルス幅変調回路に与えるパルス幅変調のデューティを設定するデューティ設定手段とを含んでいる。

【0014】請求項5の電磁弁駆動装置は、オフセット用デューティ出力手段として、オフセット用のデューティとして予め設定した固定値を出力するものを採用している。請求項6の電磁弁駆動装置は、オフセット用デューティ出力手段として、オフセット用のデューティとして目標とする電磁弁駆動電流から算出された値を出力するものを採用している。

【0015】

【作用】請求項1の電磁弁駆動方法であれば、電磁弁と、この電磁弁の駆動を制御するパルス幅変調回路とを含む電磁弁駆動装置において、複数のパルス幅変調周期をディザ電流の1周期に設定し、ディザ電流を生成するためのオフセット用のデューティを得、目標とする電磁弁駆動電流を得るためのパルス幅変調デューティをディザ電流周期毎に算出し、複数回のパルス幅変調サイクルで所定のディザ電流波形が得られるように、1パルス幅

10

20

30

40

50

変調周期毎にパルス幅変調デューティに対してオフセット用のデューティを加減算することによりパルス幅変調回路に与えるパルス幅変調のデューティを設定するのであるから、駆動電流の大きさに影響されことなく、ディザ電流波形を任意に生成することができ、制御流量の如何に拘らず、スプールの静摩擦に起因するヒステリシス特性を改善して、正確な流量制御を達成することができる。

【0016】請求項2の電磁弁駆動方法であれば、オフセット用のデューティとして予め設定した固定値を採用するのであるから、オフセット用のデューティの算出を電磁弁の駆動の都度特別に行う必要がなくなるほか、請求項1と同様の作用を達成することができる。請求項3の電磁弁駆動方法であれば、オフセット用のデューティとして目標とする電磁弁駆動電流から算出された値を採用するのであるから、ディザ電流波形を精度よく生成することができるほか、請求項1と同様の作用を達成することができる。

【0017】請求項4の電磁弁駆動装置であれば、電磁弁と、この電磁弁の駆動を制御するパルス幅変調回路とを含む電磁弁駆動装置において、設定手段によって、複数のパルス幅変調周期をディザ電流の1周期に設定し、オフセット用デューティ出力手段によって、ディザ電流を生成するためのオフセット用のデューティを出力する。また、パルス幅変調デューティ算出手段によって、目標とする電磁弁駆動電流を得るためのパルス幅変調デューティをディザ電流周期毎に算出する。そして、デューティ設定手段によって、複数回のパルス幅変調サイクルで所定のディザ電流波形が得られるように、1パルス幅変調周期毎にパルス幅変調デューティに対してオフセット用のデューティを加減算することによりパルス幅変調回路に与えるパルス幅変調のデューティを設定する。

【0018】したがって、駆動電流の大きさに影響されことなく、ディザ電流波形を任意に生成することができ、制御流量の如何に拘らず、スプールの静摩擦に起因するヒステリシス特性を改善して、正確な流量制御を達成することができる。請求項5の電磁弁駆動装置であれば、オフセット用デューティ出力手段として、オフセット用のデューティとして予め設定した固定値を出力するものを採用しているのであるから、オフセット用のデューティの算出を電磁弁の駆動の都度特別に行う必要がなくなるほか、請求項4と同様の作用を達成することができる。請求項6の電磁弁駆動装置であれば、オフセット用デューティ出力手段として、オフセット用のデューティとして目標とする電磁弁駆動電流から算出された値を出力するものを採用しているのであるから、ディザ電流波形を精度よく生成することができるほか、請求項4と同様の作用を達成することができる。

【0019】

【発明の実施の形態】以下、添付図面によってこの発明

の実施の態様を詳細に説明する。図6はこの発明の電磁弁駆動装置の一実施態様を示すブロック図である。この装置は、マイクロコンピュータ1によってPWM回路2にパルス状の制御信号を供給してPWM回路2をON-OFFさせ、PWM回路2によりパルス幅変調された駆動電圧を電磁比例制御弁3に印加する。そして、電磁比例制御弁3の通電電流を電流検出回路4により検出してマイクロコンピュータ1にフィードバックし、電磁比例制御弁3の通電電流が目標値になるように制御する。

【0020】また、前記マイクロコンピュータ1は、目標駆動電流および電流検出回路4からのフィードバック信号を入力としてPID（比例、積分、微分）制御（またはPI制御）を行って駆動電流指令を出力するPID制御部1aと、駆動電流指令を入力としてPWM制御のデューティ（パルス幅変調デューティ）を算出するPWM制御デューティ算出部1bと、ディザ分のデューティ（オフセット用のデューティ）を出力するディザ分デューティ出力部1cと、PWM制御のデューティとディザ分のデューティとを加算する加算部1dとを含んでおり、加算部1dから出力される加算結果に対応するデューティのPWMパルス信号（パルス状の制御信号）をPWM回路2に供給している。

【0021】ここで、ディザ分のデューティは、例えば、このデューティとして適当な値を設定して目標駆動電流を変化させ、実際に使用する駆動電流範囲において最適なディザ電流波形が得られるディザ分のデューティを選択することにより得られるので、ディザ分デューティ出力部1cは、このようにして得られたディザ分のデューティを出力する。

【0022】PID制御部1aは、例えば、目標駆動電流と検出された駆動電流の平均値との偏差 e に基づいて駆動電流指令 $I = (e + \sum e / T_i) + K_p$ （ただし、 T_i は積分定数、 K_p は比例定数）を算出する。そして、PWM制御のデューティ d と駆動電流指令 I との間には $I = K_1(d - K_2)$ （ただし、 K_1 、 K_2 は試験的に求められる定数）の関係があるので、PWM制御デューティ算出部1bにおいて、 $d = I / K_1 + K_2$ の演算を行うことによりPWM制御のデューティを算出する。

【0023】図7は図6の電磁弁駆動装置における電磁弁駆動方法を説明するフローチャートである。ステップSP1においてPWM制御のサイクル数（パルス幅変調周期の数であり、以下、PWMサイクル数と称する）が1ディザサイクルを構成するPWM制御のサイクル数と等しくなったか否かを判定する（この判定が設定手段の一部に相当する）。そして、両者が等しくなったと判定された場合には、ステップSP2においてPWMサイクル数をクリアし、ステップSP3において、電磁比例制御弁のソレノイドを駆動している駆動電流を検出し、その平均値を算出し、ステップSP4において、目標駆動

電流および算出した平均値に基づいてPID制御部1aによりPID制御(またはPI制御)を行って駆動電流指令を得、この駆動電流指令に基づいてPWM制御デューティ算出部1bによってPWM制御のデューティを算出する。

【0024】そして、ステップSP5において、算出されたPWM制御のデューティに対してディザ分のデューティを加減算して出力デューティを得、ステップSP6においてPWM回路2に対して出力デューティのPWMパルス信号を供給し、ステップSP7においてPWMサイ

クル数をインクリメントし、そのまま一連の処理を終了する。

【0025】また、ステップSP1において両者が等しくないと判定された場合には、そのままステップSP5の処理を行う。また、この処理はPWMサイクル毎に行われる。したがって、ディザサイクルの最初のPWMサイクルの時にのみ、ソレノイドの駆動電流の平均値を算出して、目標駆動電流を得るために必要なPWM制御のデューティを算出することが分かる。

【0026】そして、ディザサイクルの他のPWMサイクルにおいては、前記のPWM制御のデューティに対してディザ用のデューティを加減算し、得られたデューティに基づいて得たPWMパルスをPWM回路2に供給してパルス幅変調された駆動電圧を電磁比例制御弁3に印加して電磁比例制御弁3を動作させることができる。なお、この実施態様においては、ディザ分デューティ出力部1cとして、予め複数種類のデューティを設定しておいて、PWMサイクル毎に順次これらのデューティを選択して出力するものを採用している。

【0027】図8は10PWMサイクルで1ディザサイクルを構成し、前記予め設定されたデューティとして+2d、+d、0、-d、-2dを採用した場合における各部の波形を示す図である。図8中(A)はPWMサイクル数を示しており、10PWMサイクルが1ディザサイクルに相当している。そして、図8中(B)に横線で示すように、各ディザサイクルの最初のPWMサイクル(図8(A)中で(10)0で示されているPWMサイクル)において目標駆動電流を得るためのPWM制御のデューティ(PD)を算出する。このデューティは、図8中(B)において、PD(n+1)、PD(n+2)で示されている。

【0028】このようにして算出されたPWM制御のデューティは、図8中(C)に示すように、次のディザサイクルにおいて採用される。また、ディザ分デューティ出力部1cは、図8中(D)に示すように、“0” “+d” “+2d” “+d” “0” “0” “-d” “-2d” “-d” “0”の順に予め設定されたデューティを出力する。

【0029】したがって、PWM制御のデューティに対してディザ分デューティ出力部1cから出力されるデ

ューティを加算することにより、図8中(E)に示すPWMパルス信号が得られ(この波形の上部に加算結果を示してある)、このPWMパルス信号をPWM回路2に供給し、PWM回路2により得られるPWMパルス電圧を電磁比例制御弁のソレノイドに印加することにより、図8中(F)に示すように、PWMサイクル毎に変化するとともに、ディザサイクル毎にPWMサイクル毎の変化が変化するソレノイド駆動電流を得ることができる。なお、この変化するソレノイド駆動電流の最も高い上部ピークと最も低い下部ピークとの差がディザ電流である。

【0030】また、図8において、nはディザサイクルの番号を示す整数である。以上から明らかなように、PWM制御のデューティの算出およびディザ用のデューティの設定によって任意のソレノイド駆動電流を得ることができるとともに、任意のディザ電流波形を得ることができる。したがって、スプールの静摩擦に起因するヒステリシス特性を改善して正確な流量制御を達成することができる。図9は4PWM制御サイクルで1ディザサイクルを構成した場合における各部の信号波形を示す図である。なお、この場合には、前記予め設定されたデューティとして+d、0、-dを採用している。

【0031】図9中(A)はPWMサイクル数を示しており、4PWMサイクルが1ディザサイクルに相当している。そして、図9中(B)に横線で示すように、各ディザサイクルの最初のPWMサイクル(図9(A)中で(4)0で示されているPWMサイクル)において目標駆動電流を得るためのPWM制御のデューティ(PD)を算出する。このデューティは、図9中(B)において、PD(n+1)、PD(n+2)、PD(n+3)で示されている。

【0032】このようにして算出されたPWM制御のデューティは、図9中(C)に示すように、次のディザサイクルにおいて採用される。また、ディザ分デューティ出力部1cは、図9中(D)に示すように、“0” “+d” “0” “-d”の順に予め設定されたデューティを出力する。また、図9において、nはディザサイクルの番号を示す整数である。

【0033】したがって、PWM制御のデューティに対してディザ分デューティ出力部1cから出力されるデューティを加算することにより、図9中(E)に示すPWMパルス信号が得られ(この波形の上部に加算結果を示してある)、このPWMパルス信号をPWM回路2に供給し、PWM回路2により得られるPWMパルス電圧を電磁比例制御弁のソレノイドに印加することにより、PWMサイクル毎に変化するとともに、ディザサイクル毎にPWMサイクル毎の変化が変化するソレノイド駆動電流を得ることができる。

【0034】以上から明らかなように、1ディザサイクルを構成するPWM制御サイクルの数を変更することにより、ディザ電流周期を簡単に変更することができる。

図10はこの発明の電磁弁駆動装置の他の実施態様を示すブロック図である。この電磁弁駆動装置が図6の電磁弁駆動装置と異なる点は、ディザ分デューティ出力部1cに代えて、目標駆動電流値を入力としてディザ分のデューティ $d(n+1)$ を算出して“0”“+d”“+2d”“+d”“0”“0”“-d”“-2d”“-d”“0”の順に出力するディザ分デューティ算出部1c'を採用した点のみである。

【0035】なお、このディザ分デューティ算出部1c'は、例えば、図6の電磁弁駆動装置のディザ分デューティ出力部1cと同様にして、目標駆動電流毎に最適なディザ分のデューティを得てテーブル形式で保持しておき、目標駆動電流に応じて何れかのディザ分デューティを参照して出力するものである。ただし、両者の関係を表す数式を保持しておいて、目標駆動電流に応じてディザ分のデューティを算出して出力するものであってもよい。

【0036】図11は図10の電磁弁駆動装置における電磁弁駆動方法を説明するフローチャートである。このフローチャートが図7のフローチャートと異なる点は、ステップSP2とステップSP3との間において、駆動電流を目標駆動電流値とする場合に最適なディザ用のデューティ $d(n+1)$ を算出するステップSP2aの処理を行う点のみである。

【0037】図12は図10の電磁弁駆動装置の各部の信号波形を示す図である。なお、この実施態様においても、10PWM制御サイクルで1ディザサイクルを構成し、また、ディザ用デューティ算出部1c'は、算出したデューティ d に基づいて、“0”“+d”“+2d”“+d”“0”“0”“-d”“-2d”“-d”“0”の順にディザ用のデューティを出力するようにしてある。

【0038】図10中(A)はPWMサイクル数を示しており、10PWMサイクルが1ディザサイクルに相当している。そして、図10中(B)に横線で示すように、各ディザサイクルの最初のPWMサイクル(図10(A)中で(10)0で示されているPWMサイクル)において目標駆動電流を得るためのPWM制御のデューティ(PD)を算出する。このデューティは、図10中(B)において、PD(n+1)、PD(n+2)で示されている。また、図10中(a)に示すように、目標駆動電流値が変化した場合には、次のディザサイクルの最初のPWM制御サイクルにおいて、ディザ分デューティ算出部1c'によってディザ分のデューティ $d(n+1)$ も算出される。尚、目標電流値が変化しない場合であっても、ディザ分のデューティの算出は行われる。

【0039】このようにして算出されたPWM制御のデューティおよびディザ分のデューティ $d(n+1)$ は、図10中(C)に示すように、次のディザサイクルにおいて採用される。また、ディザ分デューティ出力部1c

は算出したデューティに基づいて、図10中(D)に示すように、“0”“+d”“+2d”“+d”“0”“0”“-d”“-2d”“-d”“0”の順にディザ分のデューティを出力する。

【0040】したがって、PWM制御のデューティに対してディザ分デューティ出力部1cから出力されるデューティを加算することにより、図10中(E)に示すPWMパルス信号が得られ(この波形の上部に加算結果を示してある)、このPWMパルス信号をPWM回路2に供給し、PWM回路2により得られるPWMパルス電圧を電磁比例制御弁のソレノイドに印加することにより、PWMサイクル毎に変化するとともに、ディザサイクル毎にPWMサイクル毎の変化が変化するソレノイド駆動電流を得ることができる。なお、この変化するソレノイド駆動電流の最も高い上部ピークと最も低い下部ピークとの差がディザ電流である。

【0041】また、図10において、nはディザサイクルの番号を示す整数である。以上から明らかなように、目標駆動電流値が変化した場合には、ディザ分のデューティの絶対値も変化されるので、駆動電流の大きさに拘らず、ディザ電流を精度よく生成することができ、スプールの静摩擦に起因するヒステリシス特性を一層改善して一層正確な流量制御を達成することができる。

【0042】また、前記の何れかの実施態様の電磁弁駆動装置において、電磁弁に通信機能を持たせておけば、コントローラと電磁弁とを1対1で対応させる必要がなくなり、1つのコントローラで複数台の電磁弁を制御できるので、コントローラ数の低減を達成することができ、また、電磁弁に通信機能を持たせて、コントローラと複数の電磁弁間をシリアル接続させておけば、配線数の低減をも達成することができ、電磁弁駆動システム全体としての構成を簡素化できるとともに、コストダウンを達成することができる。

【0043】

【発明の効果】請求項1の発明は、駆動電流の大きさに影響されることなく、ディザ電流波形を任意に生成することができ、制御流量の如何に拘らず、スプールの静摩擦に起因するヒステリシス特性を改善して、正確な流量制御を達成することができるという特有の効果を奏する。

【0044】請求項2の発明は、オフセット用のデューティの算出を電磁弁の駆動の都度特別に行う必要がなくなるほか、請求項1と同様の効果を奏する。請求項3の発明は、ディザ電流波形を精度よく生成することができ、請求項1と同様の効果を奏する。請求項4の発明は、駆動電流の大きさに影響されることなく、ディザ電流波形を任意に生成することができ、制御流量の如何に拘らず、スプールの静摩擦に起因するヒステリシス特性を改善して、正確な流量制御を達成することができるという特有の効果を奏する。

【0045】請求項5の発明は、オフセット用のデューティの算出を電磁弁の駆動の都度特別に行う必要がなくなるほか、請求項4と同様の効果を奏する。請求項6の発明は、ディザ電流波形を精度よく生成することができるほか、請求項4と同様の効果を奏する。

【図面の簡単な説明】

【図1】電磁弁の一種である電磁比例制御弁を駆動する従来の電磁弁駆動装置を示すブロック図である。

【図2】電磁比例制御弁の駆動電流に対する制御流量の関係を示す図である。

【図3】電磁比例制御弁をPWM制御方式で駆動した場合におけるPWM駆動波形とソレノイド駆動電流波形とを示す図である。

【図4】電磁比例制御弁をPWM制御方式で駆動した場合におけるPWMデューティの幅とソレノイド駆動電流波形との関係を示す図である。

【図5】駆動電流の直流分にディザ電流をアナログ加算する方式の構成を示すブロック図である。

【図6】この発明の電磁弁駆動装置の一実施態様を示すブロック図である。

【図7】図6の電磁弁駆動装置における電磁弁駆動方法*

*を説明するフローチャートである。

【図8】10PWMサイクルで1ディザサイクルを構成し、前記予め設定されたデューティとして $+2d$ 、 $+d$ 、 0 、 $-d$ 、 $-2d$ を採用した場合における図6の電磁弁駆動装置の各部の波形を示す図である。

【図9】4PWM制御サイクルで1ディザサイクルを構成した場合における図6の電磁弁駆動装置の各部の信号波形を示す図である。

【図10】この発明の電磁弁駆動装置の他の実施態様を示すブロック図である。

【図11】図10の電磁弁駆動装置における電磁弁駆動方法を説明するフローチャートである。

【図12】図10の電磁弁駆動装置の各部の信号波形を示す図である。

【符号の説明】

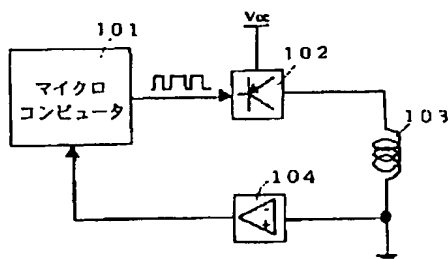
1a PID制御部 1b PWM制御デューティ算出部

1c ディザ用デューティ出力部

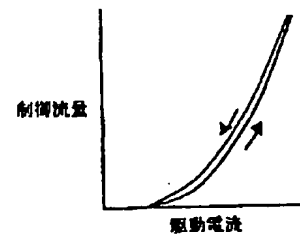
1c' ディザ用デューティ算出部 1d 加算部

20 2 PWM回路 3 電磁比例制御弁

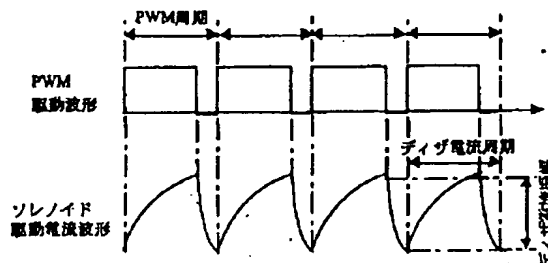
【図1】



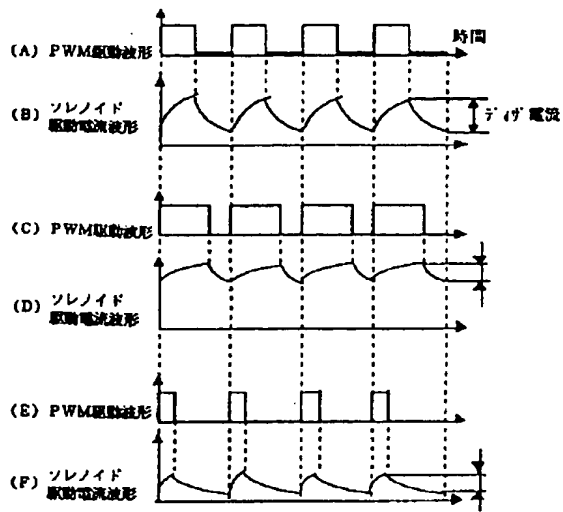
【図2】



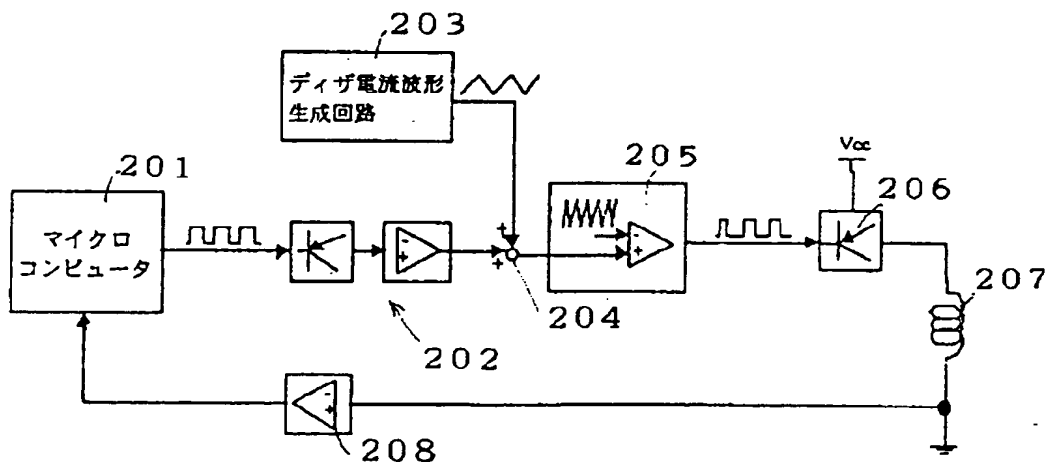
【図3】



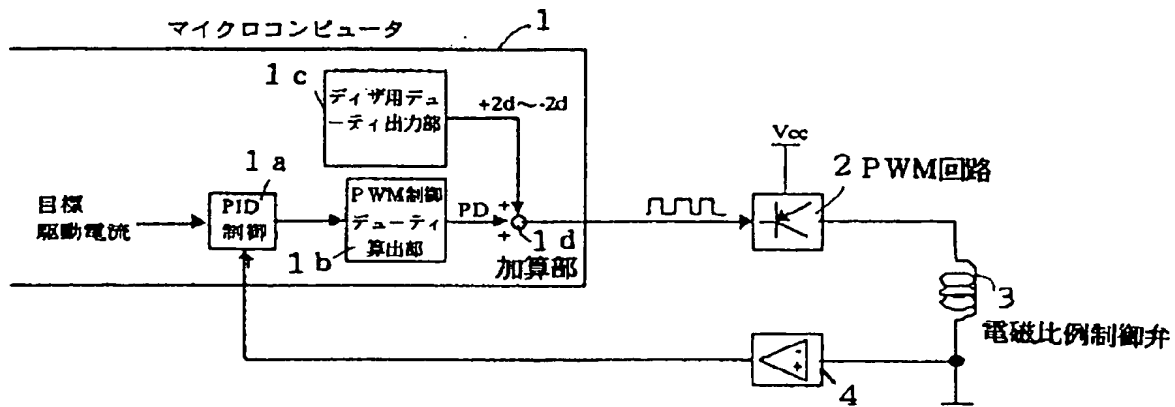
【図4】



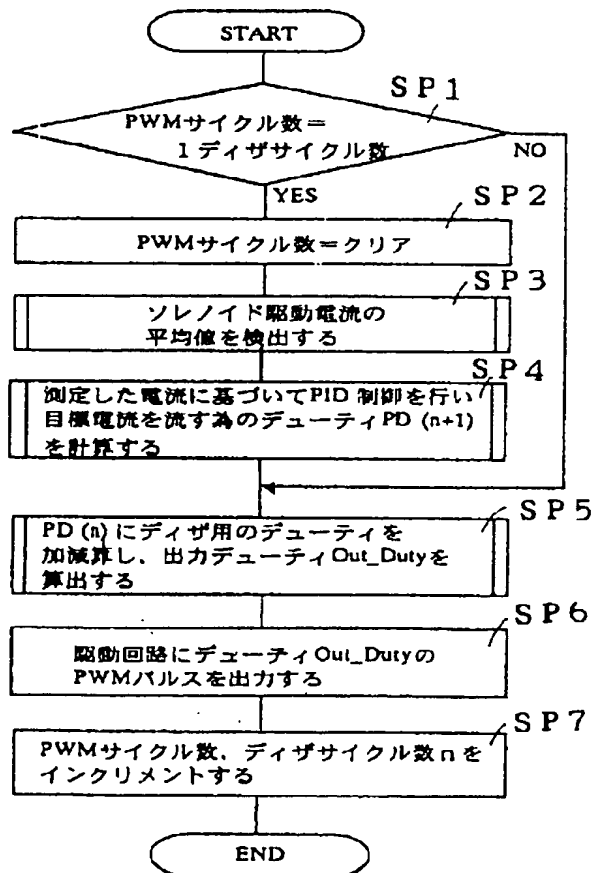
【図5】



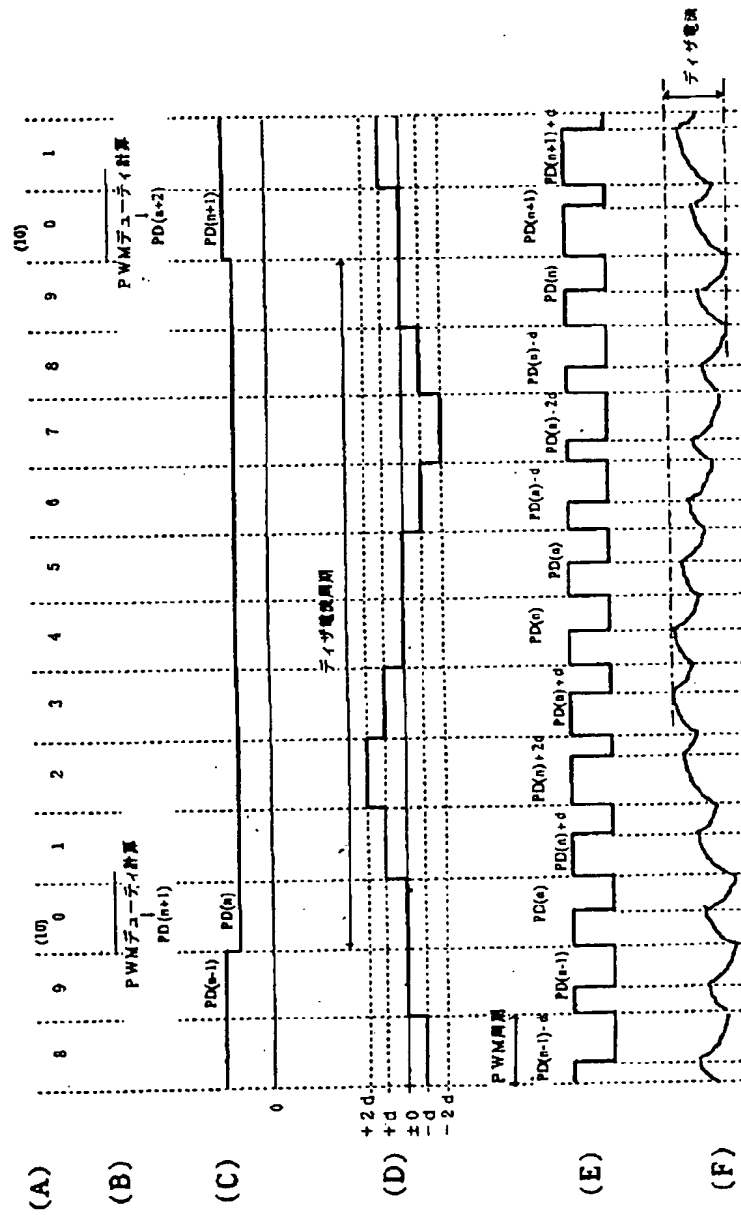
【図6】



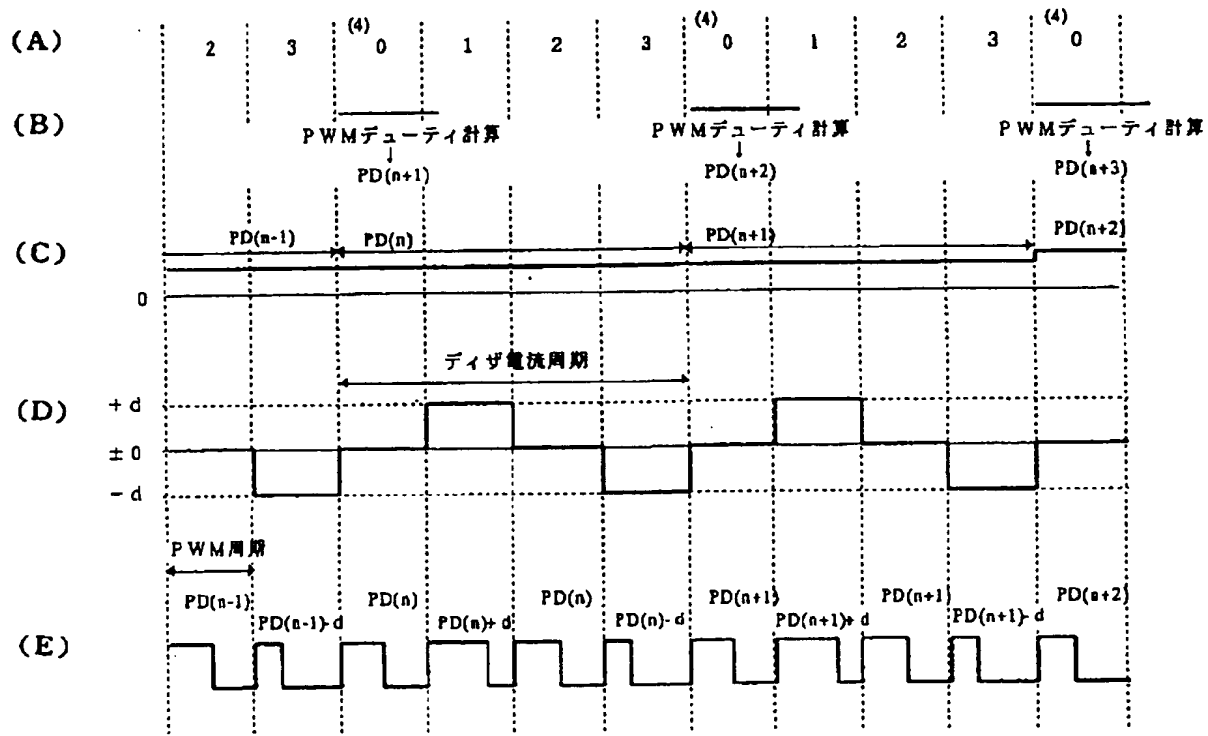
【図7】



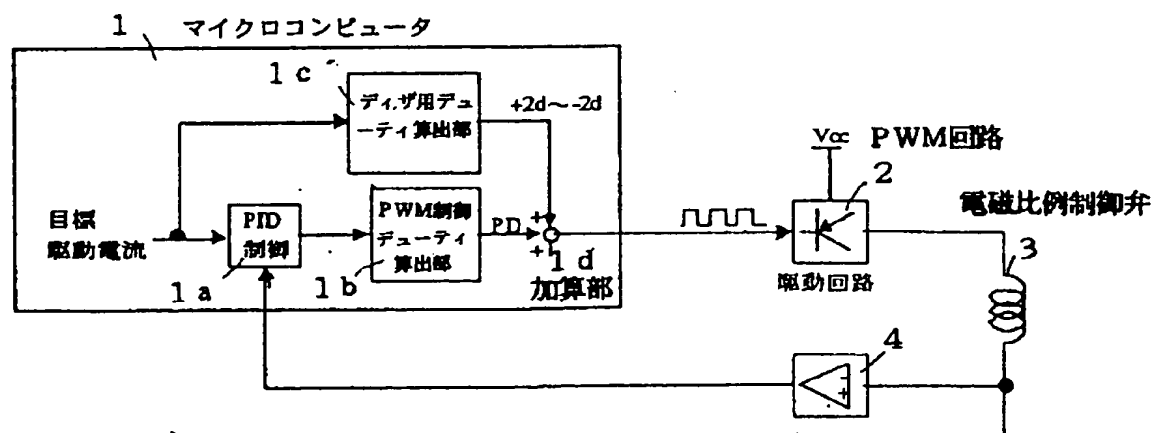
【図8】



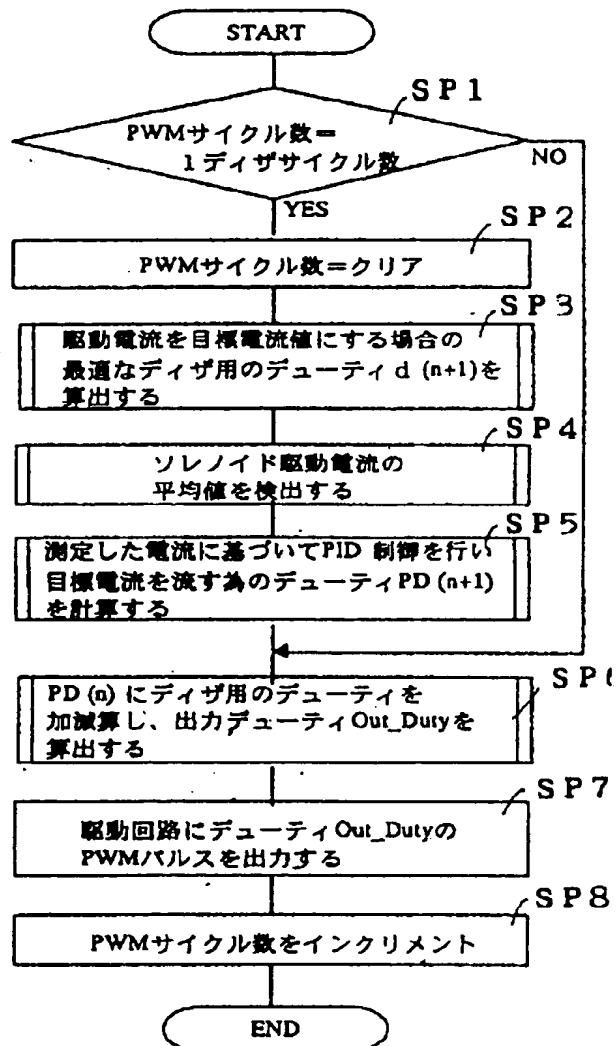
【図9】



【図10】



【図11】



【図12】

